

LSIのCDC設計パターンの構築

富士通コンピュータテクノロジーズ 鈴木利彦 toshi_suzuki_01@jp.fujitsu.com

開発における問題点

LSIのCDC(Clock Domain Crossing)で発生するメタステーブルによる誤動作は、後工程の実機検証において顕在化しやすいため、工程や開発コストへ影響が大きい。
現在、プロジェクトにおいて、技術継承の問題によりCDC設計の俗人化が発生し、初級技術者で障害が多発している。

手法・ツールの適用による解決

問題点に挙げたCDC設計における属人化による技術継承の問題を解決するため、CDC設計の問題とその解法をパターンとして明確化をした。そして、できる限り学習コストを少なく、初級設計者が上級設計者と同等の品質を確保する。

CDC設計のパターン

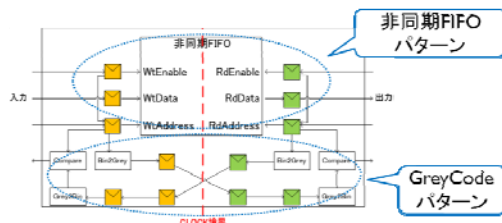
過去の設計資産などから、パターンを抽出

名前	概要
パターン1	二段FF メタステーブル状態を防いだ、レベル信号を転送するため、二段FFを入れる。
パターン2	非同期ラッチ制御 ブロコエラーを防いだ、パルス信号を転送するため、ラッチ回路を設ける
パターン3	INHIBIT制御 ブロコエラーを防いだ、レベル信号 or パルス信号を転送するため、信号到達が通知される
パターン4	BUS同期回路 リコンバージェンスエラーを防いだ、多ビット信号を転送するため、レベル信号を一段遅くする
パターン5	非同期FIFO リコンバージェンスエラーを防いだICLOCKごとに変化する多ビット信号を転送するため、非同期FIFOを使用する
パターン6	グレイコード リコンバージェンスエラーを防いだ、多ビットのカウンタ値を転送するため、グレイコードを使用する

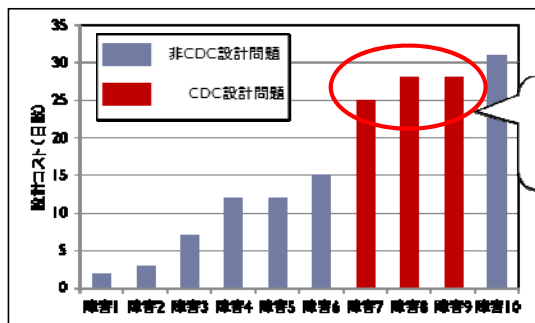
名前	概要
複合パターン 2+3	非同期ラッチ INHIBIT制御 ブロコエラーを防いだ、パルス信号を転送し、かつ転送完了の通知を受け取りたい場合、非同期ラッチ制御とINHIBIT制御の複合パターンを使用する
複合パターン 5+6	非同期FIFO シンクロナイザ リコンバージェンスエラーを防いだ、ICLOCKごとに変化する多ビット信号を転送したい場合、非同期FIFOと、グレイコードの複合パターンを使用する

項目	内容
名前	非同期FIFOシンクロナイザ
状況	データベースのCDC設計をしている。
問題	リコンバージェンスエラーが発生する
解決	・ 非同期FIFO をリングバッファとして使用し、バッファポインタを グレイコード によって転送する。
フォース	・データバスなどの大量のデータ転送である。 ・データベースの転送に使用できるが、制御信号、FIFOへのデータ入力時刻、制御信号生成のため、レイテンシ上昇やスルー풋低下につながる。 ・FIFOのバッファオーバーフローを防ぐため、バッファ管理が必要である。

詳細



過去の障害への適用見積もり



このCDC設計問題は、パターンを適用することで、**回避可能**

- ・CDC設計問題であった**10件中3件**を防ぐことができる
- ・障害にかかる設計コストはおよそ**50%減少**できる

被験者実験

初級者技術者がパターンを適用/選択できるか評価

項	信号名	信号の意味	被験者適用パターン	期待パターン
1	I_REQ	リクエスト信号	非同期ラッチ制御	非同期ラッチ
2	L_CMD	アクセスがRDか、WTを決める。I_REQが1の時有効	非同期ラッチ制御	BUS同期回路
3	L_ADR	I_REQが1かつ、L_CMDが1の時、ライトアドレスを示す。I_REQが1かつ、L_CMDが0の時、リードアドレスを示す。	非同期ラッチ INHIBIT制御	非同期ラッチ INHIBIT制御
4	O_END	トランザクション完了時に送信する	非同期ラッチ INHIBIT制御	非同期ラッチ INHIBIT制御
5	L_WDV	1の時、O_WTが有効であることを示す	非同期ラッチ INHIBIT制御	非同期ラッチ INHIBIT制御
6	L_WD	ライトデータを示す。ICYCLEの子データ転送のみ	BUS同期回路	BUS同期回路
7	O_RDV	1の時、O_RDが有効であることを示す	BUS同期回路	BUS同期回路
8	O_RD	リードデータを示す。ICYCLEの子データ転送のみ	BUS同期回路	BUS同期回路
9	L_UAR	ReadAddressを示す。常に0	二段ll	二段ll or 無

初級技術者は7項に関して正しく適用できた、**妥当性あり**と判断する。